

GAU 2825

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of)

Wei-Shiau Chen and Kao-Su Huang)

Serial No.: 09/479,483)

Examiner: Unassigned

Filed: January 10, 2000)

Art Unit: 2825

For: Fabrication Method For A Multi-
Layered Thin Film Protective Layer)

Docket No.: 252103-4570

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, postage prepaid, in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on May 2, 2000.

Signature - Michele Smith

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Assistant Commissioner of
Patents and Trademarks
Washington, D.C. 20231

May 2, 2000

Sir:

Pursuant to 35 U.S.C. §119, enclosed is a certified copy of the priority document (a Taiwanese patent application) entitled, "Fabrication Method For A Multi-Layered Thin Film Protective Layer", filed July 19, 1999, and assigned serial number 088112203, to which Applicant claimed priority in the specification and declaration filed in the above-identified patent application.

Respectfully submitted,

Thomas, Kayden, Horstemeyer & Risley

By:

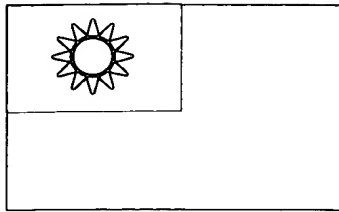
Daniel R. McClure

Registration No.: 38,962

100 Galleria Parkway
Suite 1750
Atlanta, Georgia 30339
(770) 933-9500

#2
Priority
Paper
5/15/00
A. Julee

RECEIVED
MAY 10 2000
TO 2800 MAIL ROOM



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
Bureau of the application as originally filed which is identified hereunder:

申請日：西元 1999 年 07 月 19 日
Application Date

申請案號：088112203
Application No.

申請人：聯華電子股份有限公司、聯誠積體電路股份有限公司
Applicant(s)

局 長

Director General

陳明邦

發文日期：西元 2000 年 1 月 25 日
Issue Date

發文字號：08911001392
Serial No.

RECEIVED
MAY 10 2000
TC 2600 MAIL ROOM

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	多層次薄膜護層的結構及其製造方法
	英 文	
二、發明 創作人	姓 名	1 陳維孝 2 黃國書
	國 籍	中華民國
	住、居所	1 金門縣金沙鎮大洋村 9 鄰新前墩 24 號 2 台南縣永康市中華路 355 巷 50 號 11 樓之 3
三、申請人	姓 名 (名稱)	1 聯誠積體電路股份有限公司 2 聯華電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	1 ~ 2 新竹科學工業園區新竹市力行二路三號
	代 表 人 姓 名	1 ~ 2 曹興誠

四、中文發明摘要(發明之名稱：多層次薄膜護層的結構及其製造方法)

一種多層次薄膜護層的製造方法，適用在具有一周邊電路區與一畫素電極區的一基底上，周邊電路區與畫素電極區分別具有金屬層與畫素電極形成於其上，其中金屬層間與畫素電極間以絕緣材料隔開。接著，依序在畫素電極與金屬層上形成一第一氧化物層、一氮化矽層與一第二氧化物層。之後，定義第二氧化物層，以第二氧化物層在畫素電極區與周邊電路區定義出一墊間隙物之預定位置。續定義氮化矽層與第一氧化物層，則在周邊電路區形成一第一護層，在畫素電極區形成墊間隙物，並使畫素電極區的畫素電極暴露出。之後，在暴露出的畫素電極上形成一第二護層。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 ()

本發明是有關於一種護層的製造方法，且特別是有關於一種用於反射式微液晶顯示器(Reflection μ -LCD)中之多層次薄膜護層的製造方法。

反射式微液晶顯示器的操作是在控制電路的表面金屬層上施加電壓，藉以產生電場來控制液晶的排列方式。當光線穿透液晶而到達金屬層時，此金屬層會反射光線，而穿透液晶。由於不同排列方式的液晶將顯現出不同的光學性質，因此可以於顯示器上顯出不同的影像。

微液晶顯示器在封裝時，爲了填入液晶，必須在玻璃基板(glass)與元件(device wafer)中間，以塗附間隙物(spacer)的方式隔開玻璃基板與元件，同時元件表面的金屬層也必須形成一護層以保護底下的元件。

然而，由於間隙物僅能塗附在元件周圍，因此間隙物支撐的玻璃板容易因應力的效應而在玻璃板中間有彎曲(bending)的現象，導致液晶在填入時，造成厚度不均而形成牛頓環(Newton's ring)的彩紋，而液晶厚度的不均將嚴重影響顯示的品質，不僅使顯示的顏色改變，更致使視認性降低。

此外，元件的金屬層上需要有護層來作保護，以避免表面金屬層受到水氣的侵入與刮傷的損害。而護層結構的形式及厚度組合對於表面金屬層的反射效果有相當直接的影響。因此護層的製造在反射式微液晶顯示器的製程中爲一個相當重要的關鍵。

有鑑於此，本發明就是在一作爲微液晶顯示器的基底

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(乙)

上，形成各種不同結構的護層，利用多種護層的組合來滿足不同元件區域對護層的需求。

此外，本發明就是在提供一種護層結構作為一間隙物，形成在元件區，用以支撐玻璃板與元件區，以改進牛頓環的效應。

本發明提供一種多層次薄膜護層的結構，適用在一液晶顯示器之一基底，其中基底包括一畫素電極區與一週邊電路區，而畫素電極區與週邊電路區分別具有畫素電極與金屬層；多層次薄膜護層結構包括：一第一護層，形成在週邊電路區，覆蓋金屬層；複數個墊間隙物，形成在畫素電極區與週邊電路區，其中該第一護層包括一氮化矽層/氧化物層結構，而墊間隙物包括氧化物層/氮化矽層/氧化物層結構，且墊間隙物高度大於第一護層；以及一第二護層，形成在畫素電極區，覆蓋畫素電極，其中第二護層包括一薄氧化物層。

本發明提供一種多層次薄膜護層的製造方法，適用在具有一週邊電路區與一畫素電極區的一基底上，週邊電路區與畫素電極區分別具有金屬層與畫素電極形成於其上，其中金屬層間與畫素電極間以絕緣材料隔開。接著，依序在畫素電極與金屬層上形成一第一氧化物層、一氮化矽層與一第二氧化物層。之後，定義第二氧化物層，則定義後之第二氧化物層在畫素電極區與週邊電路區定義出一墊間隙物之預定位置。續定義氮化矽層與第一氧化物層，在週邊電路區形成一第一護層，而在畫素電極區形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

墊間隙物，並使畫素電極區的畫素電極暴露出。之後，在暴露出的畫素電極上形成一第二護層。其中墊間隙物由第一氧化物層、氮化矽層與第二氧化物構成，第一護層由氮化矽層與第一氧化物構成，而第二護層為一薄氧化物層。

本發明係為滿足不同元件區對於護層的需求，形成可防水、刮傷的護層，以保護元件避免損害。而在護層要求高反射率的區域，形成具有高反射率的護層，以達產品的要求。此外，在整個元件區形成墊間隙物，其中墊間隙物須比護層高，使得液晶可以容易填入，同時降低封裝的應力效應，避免填充時牛頓環的產生，使得液晶厚度較為均勻，而液晶顯示器則可具有較佳的視認性。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A-1F 圖係顯示根據本發明較佳實施例之微液晶顯示器多層次護層之製造流程剖面圖。

其中，各圖標號之簡單說明如下：

100：基底

102：畫素電極區

104：周邊電路區

106：畫素電極

108：金屬層

110：間隙

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(ㄅ)

112：絕緣材料

114、114a、114b、118、118a、118b：氧化物層

116、116a、116b：氮化矽層

120：間隙物

122：護層

124：薄氧化物層

實施例

反射式微液晶顯示器因元件區功能的不同，因此需有各種不同的護層結構以因應其需求。習知一般的氮化矽層/氧化矽層護層結構，具有防止刮傷與水氣侵入的功用，但對於反射式微液晶顯示器的畫素電極區而言，氮化矽層/氧化矽層的反射率不佳，若將氮化矽層/氧化矽層形成在畫素電極區，則會影響畫素電極的反射率。然而，反射式微液晶顯示器的周邊電路區仍然需要預防刮傷與水氣等，因此形成反射率較佳的護層雖能符合畫素電路區的需求，卻無法避免周邊電路區的刮傷與水氣侵入。

因此，本發明之較佳實施例，即在反射式微液晶顯示器的元件區上提供一種多層次薄膜護層結構，在需要預防水氣與刮傷的區域形成氮化矽/氧化矽的護層，而在反射率需要較高的區域僅形成一薄氧化層，亦即因應元件區功能不同的需求形成不同的護層結構。另外，在形成上述的護層時，同時在元件區形成墊間隙物(pad spacer)，墊間隙物分散在元件區，用以支撐元件區與玻璃基板，可防止封裝時產生的應力。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

第 1A-1F 圖所示，為根據本發明一較佳實施例之多層次護層之製造流程剖面圖。請參照第 1A 圖，作為一反射式微液晶顯示器的一基底 100 上具有一畫素電極區(pixel cell area)102 與一周邊電路區(peripheral circuit area)104。其中畫素電極區 102 上具有以金屬材料構成的畫素電極 106，係用以將基底 100 中的電路接出，而週邊電路區 104 上的金屬層 108 亦用以將基底 100 的電路接出，畫素電極 106 與畫素電極 106 間以及金屬層 108 與金屬層 108 以間隙(mirror layer gap)110 互相隔開。

接著，將間隙 110 以絕緣材料 112 填平，如第 1B 圖所示。其係先在畫素電極 106 與金屬層 108 上形成一絕緣材料，絕緣材料填入間隙 110 並覆蓋金屬層 108 與畫素電極 106，例如以高密度電漿化學氣相沉積法(high density plasma CVD, HDPCVD)形成氧化物層。之後，再以化學機械研磨法(CMP)與回蝕刻而平坦化絕緣材料，而使畫素電極 106 與金屬層 108 暴露出，絕緣材料 112 則填滿間隙 110 而可充分隔離畫素電極 106 與金屬層 108。

接著，即進行形成護層的製程步驟。請參照第 1C 圖，在畫素電極區 102 與周邊電路區 104 上形成一氧化物層 114，覆蓋畫素電極 106 與金屬層 108，例如以化學氣相沉積法形成厚度約為 1000 埃左右。之後，在氧化物層 114 上形成一氮化矽層 116，並在氮化矽層 116 上再形成一氧化物層 118，其中氮化矽層 116 的厚度約為 4200 埃左右，例如以化學氣相沉積法形成，而氧化物層 118 厚度範圍約

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(C)

在 10000 埃 \pm 10%左右。

隨後進行第一次護層蝕刻步驟，用以定義墊間隙物的位置。請參照第 1D 圖，墊間隙物的位置係利用微影製程定義氧化物層 118，再以氮化矽層 116 為蝕刻終點，蝕刻氧化物層 118，而定義完成的氧化物層 118a、118b 係作為後續形成墊間隙物之一部份。其中墊間隙壁的氧化物層 118a、118b 可分別形成在畫素電極區 102 與周邊電路區 104。

接著，進行第二次護層蝕刻步驟，用以定義周邊電路區 104 的護層與墊間隙物的位置。請參照第 1E 圖，周邊電路區 104 的護層 122 與墊間隙物 118b、120 的位置係以微影製程定義氮化矽層 116 與氧化物層 114 而得。畫素電極區 102 由於需要反射率較大的護層，而氮化矽層 116 與氧化物層 114 之組合，並無法達到高反射率的要求，故此定義蝕刻步驟係以畫素電極 106 為蝕刻終點，將畫素電極區 102 暴露出的氮化矽層 116 與氧化物層 114 去除，以使大部分的畫素電極 106 暴露出，而由於前述步驟氧化物層 118a 的定義，因此在此蝕刻步驟中亦同時定義出在畫素電極區 102 的墊間隙物 120。另一方面，週邊電路區 104 需要覆蓋防刮傷與水氣的護層，因此保留周邊電路區的氮化矽層 116b 與氧化物層 114b，以作為周邊電路區 104 之護層 122，此步驟亦同時在上述之定義製程中完成。此外，周邊電路區 104 亦需形成墊間隙物，因此在定義氧化物層 118，亦在周邊電路區 104 保留部分氧化物層 118b，而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

作為墊間隙物。

因此，畫素電極區 102 的墊間隙物 120 由氧化物層 118a、氮化矽層 116a 與氧化物層 114a 構成，周邊電路區 104 的墊間隙物則由氧化物層 118b 與其下之護層 122 構成。其中，畫素電極區 102 中定義的氧化物層 118a 面積不可太大，例如約為 $4\mu\text{m}\times 4\mu\text{m}$ 左右，以避免在後續墊間隙物 120 形成時，墊間隙物 120 的面積太大影響到畫素電極 106 的反射率與遮光效果，且畫素電極區 102 的墊間隙物 120 需形成在絕緣材料 112 的上方，亦即畫素電極 106 與畫素電極間 106 的交叉處，故墊間隙物 120 的尺寸需視畫素電極區 102 中的畫素電極 106 的排列方式以及尺寸大小而決定。

由於墊間隙物 120 的形成係分散在畫素電極區 102 與周邊電路區 104，亦即散佈整個晶片的元件區，故可用以支撐元件區與玻璃基板，避免在封裝時產生應力而造成液晶填充時產生牛頓環的彩紋，因此液晶填充的厚度可較為均勻。再者，包括氧化物層 118a/氮化矽層 116a/氧化物層 114a 的間隙物 120 較護層 122 為高，可使液晶的填充較為容易，同時並決定液晶的厚度，而氧化物層 118a 的厚度可隨液晶所需厚度或產品需要而變化。

之後，請參照第 1F 圖，在基底 100 上形成一反射率較高的護層 124，而護層 124 的反射率需高到使光可以透過護層 124 到達畫素電極 106 而反射，例如為薄氧化物層或是氮化矽層/氧化物層/氮化矽層/氧化物層的組合，至少覆

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

蓋畫素電極區 102 的畫素電極 106，作為畫素電極 106 的護層，亦可覆蓋基底 100 的其他區域。薄氧化物層例如以化學氣相沉積法形成厚度約 500 埃左右的 TEOS，而氮化矽層/氧化物層/氮化矽層/氧化物層厚度約為 1200 埃/840 埃/640 埃/750 埃左右。

由於薄氧化物層 124 的反射率約在 85% 左右，因此覆蓋在畫素電極 106 上並不會嚴重地影響光在到達畫素電極 106 的反射率，且又可以適當地保護到畫素電極 106。

本發明主要係利用多層次薄膜與多次蝕刻步驟來達成微液晶顯示器產品在護層部分不同的需求，例如在周邊電路區形成氮化矽/氧化物的結構，避免水氣侵入與刮傷而保護元件，在畫素電極區則因應高反射率形成如氧化物的結構。另外，為方便填入液晶，使形成的墊間隙物具有較高的高度，因此墊間隙物可以形成氧化物/氮化物/氧化物的結構，其中的薄膜層次及厚度可依需求不同而有所變化。

本發明之實施例係在周邊電路區提供防水氣及刮傷的護層，而在畫素電極區形成具高反射率的護層，藉以同時滿足元件區上不同的護層結構的需求。另外，在此製程中，亦在周邊電路區與畫素電集中提供了以護層結構形成的墊間隙物，墊間隙物分散形成在整個元件區，使得封裝時的應力效應可以降低，進而使液晶得以填充均勻。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

護範圍當視後附之申請專利範圍所界定者為準。

允閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種多層次薄膜護層的製造方法，適用在具有一第一元件區與一第二元件區的一基底上；

在該第一元件區形成一氮化矽/氧化物結構，作為一第一護層；

在該第二元件區形成一第二護層，其中該第二護層具有一足夠高的反射率使光線可以透過；以及

在該第一元件區與該第二元件區形成複數個氧化物/氮化矽/氧化物結構，作為一墊間隙物；

其中，該墊間隙物的高度大於該第一護層與該第二護層。

2.如申請專利範圍第 1 項所述之多層次薄膜護層的製造方法，更包括

在該基底上依序形成一第一氧化物層、氮化矽層與一第二氧化物層；

以該氮化矽層為蝕刻終點，定義該第二氧化物層；

定義該氮化矽層與該第一氧化物層，在該第一元件區形成該氮化矽/氧化物結構，且在該第一元件區與該第二元件區形成該些氧化物/氮化矽/氧化物結構；以及

在該基底上形成一薄氧化物層，該薄氧化物層作為該第二護層。

3.如申請專利範圍第 2 項所述之多層次薄膜護層的製造方法，其中該第二護層反射率約為 85%。

4.如申請專利範圍第 2 項所述之多層次薄膜護層的製造方法，其中該薄氧化物層厚度約為 500 埃。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

5.如申請專利範圍第 2 項所述之多層次薄膜護層的製造方法，其中該薄氧化物層包括 TEOS。

6.一種多層次薄膜護層的製造方法，適用具有一周邊電路區與一畫素電極區之一基底上，該周邊電路區具有複數個金屬層，該畫素電極區具有複數個畫素電極；該製造方法包括：

在該些畫素電極與該些金屬層之間填入一絕緣材料；

在該基底區上依序形成一第一氧化物層、一氮化矽層與一第二氧化物層，覆蓋該畫素電極與該金屬層；

定義該第二氧化物層，用以定義一間隙物之一預定位置；

定義該氮化矽層與該第一氧化物層，在該周邊電路區形成一第一護層與一第一間隙物，在該畫素電極區形成一第二間隙物，暴露出該些畫素電極，其中該護層由該氮化矽層與該第一氧化物層構成，該第一間隙物由該第二氧化物、該氮化矽層與該第一氧化物構成以及該第二間隙物由該第二氧化物、該氮化矽層與該第一氧化物構成，且該第一與該第二間隙物較該護層為高；

對該基底形成一第二護層，覆蓋該畫素電極區。

7.如申請專利範圍第 6 項所述之多層次薄膜護層的製造方法，其中該第二護層包括一薄氧化物層。

8.如申請專利範圍第 7 項所述之多層次薄膜護層的製造方法，其中該薄氧化物層反射率約為 85%。

9.如申請專利範圍第 7 項所述之多層次薄膜護層的製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

造方法，其中該薄氧化物層厚度約為 500 埃。

10.如申請專利範圍第 7 項所述之多層次薄膜護層的製造方法，其中該薄氧化物層包括 TEOS。

11.如申請專利範圍第 6 項所述之多層次薄膜護層的製造方法，其中該第二墊間隙物係形成在該絕緣材料之上。

12.如申請專利範圍第 6 項所述之多層次薄膜護層的製造方法，其中該第二墊間隙物之尺寸約為 $4\mu\text{m}\times 4\mu\text{m}$ 左右。

13.如申請專利範圍第 6 項所述之多層次薄膜護層的製造方法，其中該第一氧化物層厚度約為 1000 埃左右。

14.如申請專利範圍第 6 項所述之多層次薄膜護層的製造方法，其中該氮化矽層厚度約為 4200 埃左右。

15.如申請專利範圍第 6 項所述之多層次薄膜護層的製造方法，其中定義該第二氧化物層係以該氮化矽層為蝕刻終點。

16.如申請專利範圍第 6 項所述之多層次薄膜護層的製造方法，其中定義氮化矽層與該第一氧化物層係以該畫素電極為蝕刻終點。

17.如申請專利範圍第 6 項所述之多層次薄膜護層的製造方法，其中在該些畫素電極與該些金屬層之間填入一絕緣材料的步驟更包括：

在該基底上形成一絕緣層，覆蓋該些畫素電極與該些金屬層；以及

平坦化該絕緣層，使該些畫素電極與該些金屬層暴露出。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

18. 一種多層次薄膜護層的結構，適用在一液晶顯示器之一基底，其中該基底包括一畫素電極區與一週邊電路區，而該畫素電極區與該週邊電路分別包括複數個畫素電極與金屬層；該結構包括：

一第一護層，形成在該週邊電路區，覆蓋該些金屬層；
複數個墊間隙物，形成在該畫素電極區與該週邊電路區，其中該些墊間隙物高度大於該第一護層；以及

一第二護層，形成在該畫素電極區，覆蓋該些畫素電極，其中該第二護層具有一足夠高的反射率使光線可以穿透並到達該些畫素電極而反射。

19.如申請專利範圍第 18 項所述之多層次薄膜護層的結構，其中該第二護層包括一薄氧化物層。

20.如申請專利範圍第 19 項所述之多層次薄膜護層的結構，其中該薄氧化物層反射率約為 85%。

21.如申請專利範圍第 19 項所述之多層次薄膜護層的結構，中該第二護層厚度約為 500 埃。

22.如申請專利範圍第 19 項所述之多層次薄膜護層的結構，其中該第二護層包括 TEOS。

23.如申請專利範圍第 18 項所述之多層次薄膜護層的結構，其中該第一護層以一第一氧化物層與一氮化矽層構成。

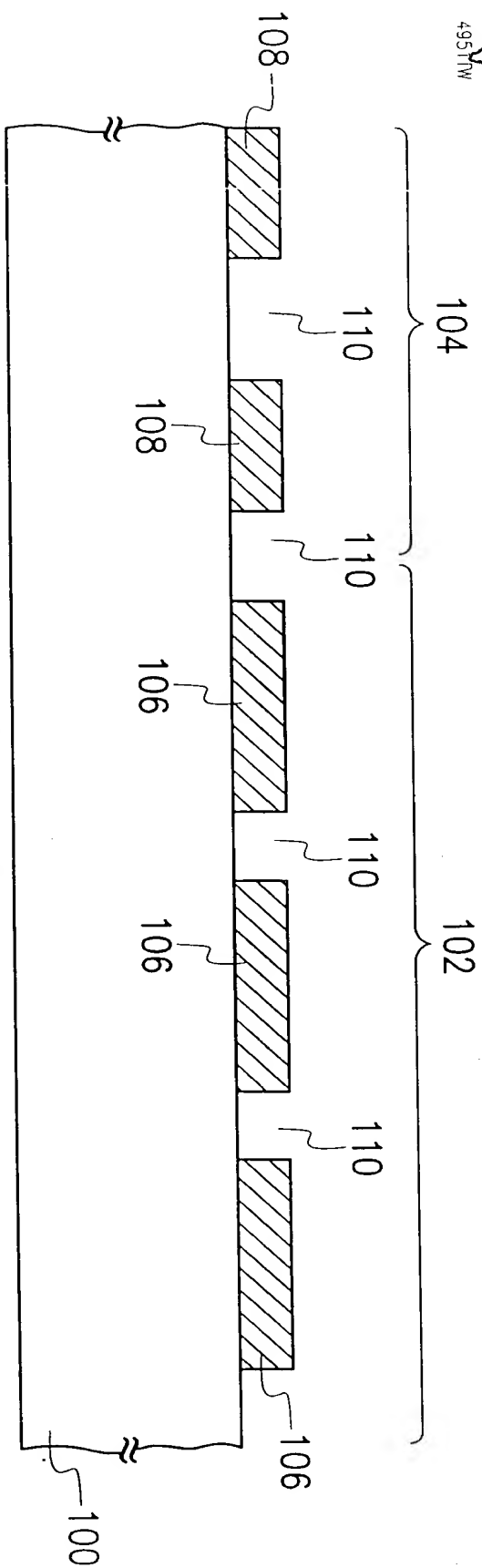
24.如申請專利範圍第 18 項所述之多層次薄膜護層的結構，其中該墊間隙物以一第一氧化物層、一氮化矽層與一第二氧化物構成。

(請先閱讀背面之注意事項再填寫本頁)

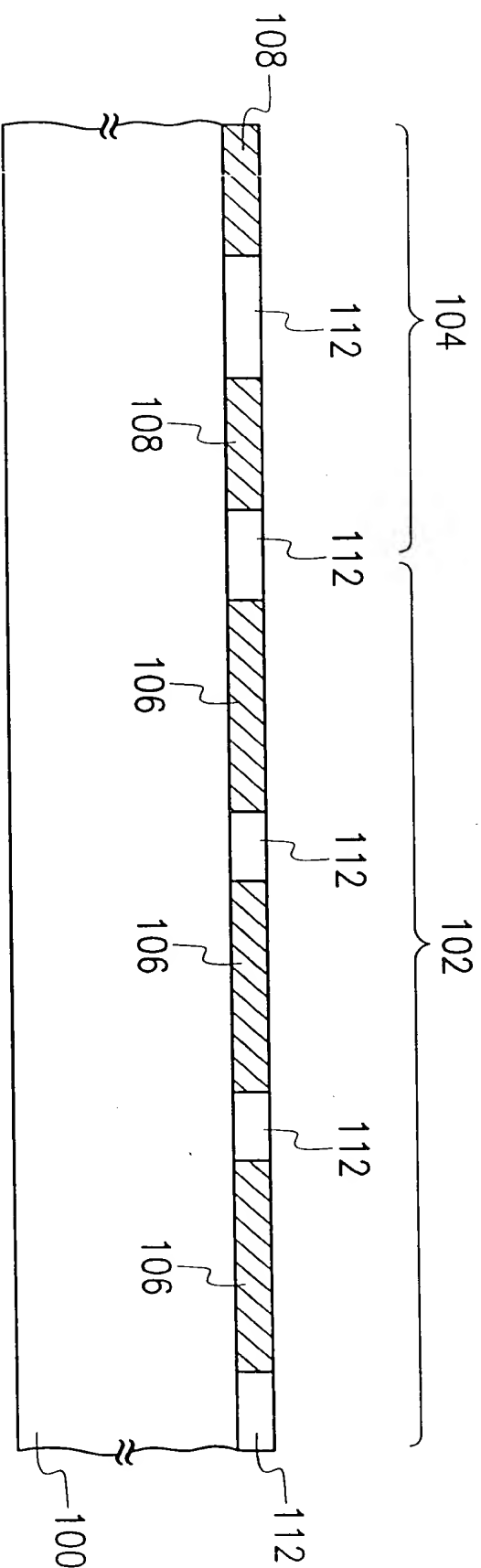
裝

訂

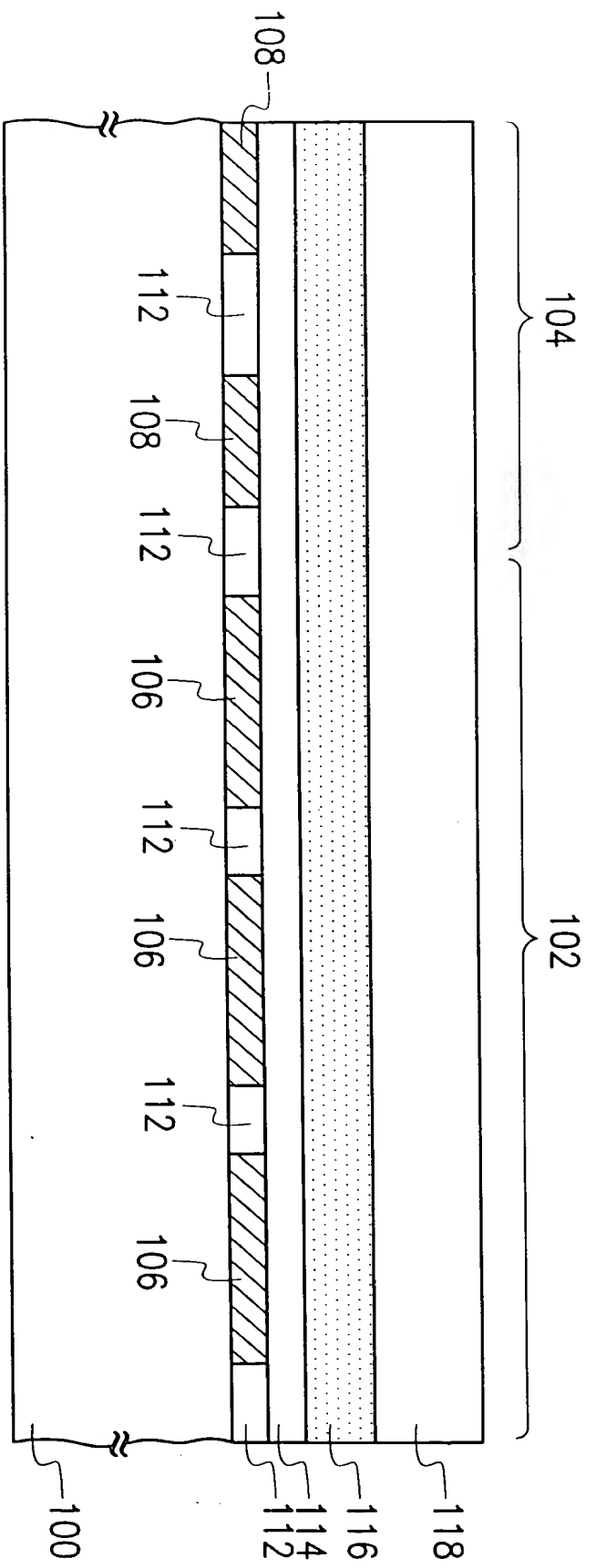
線



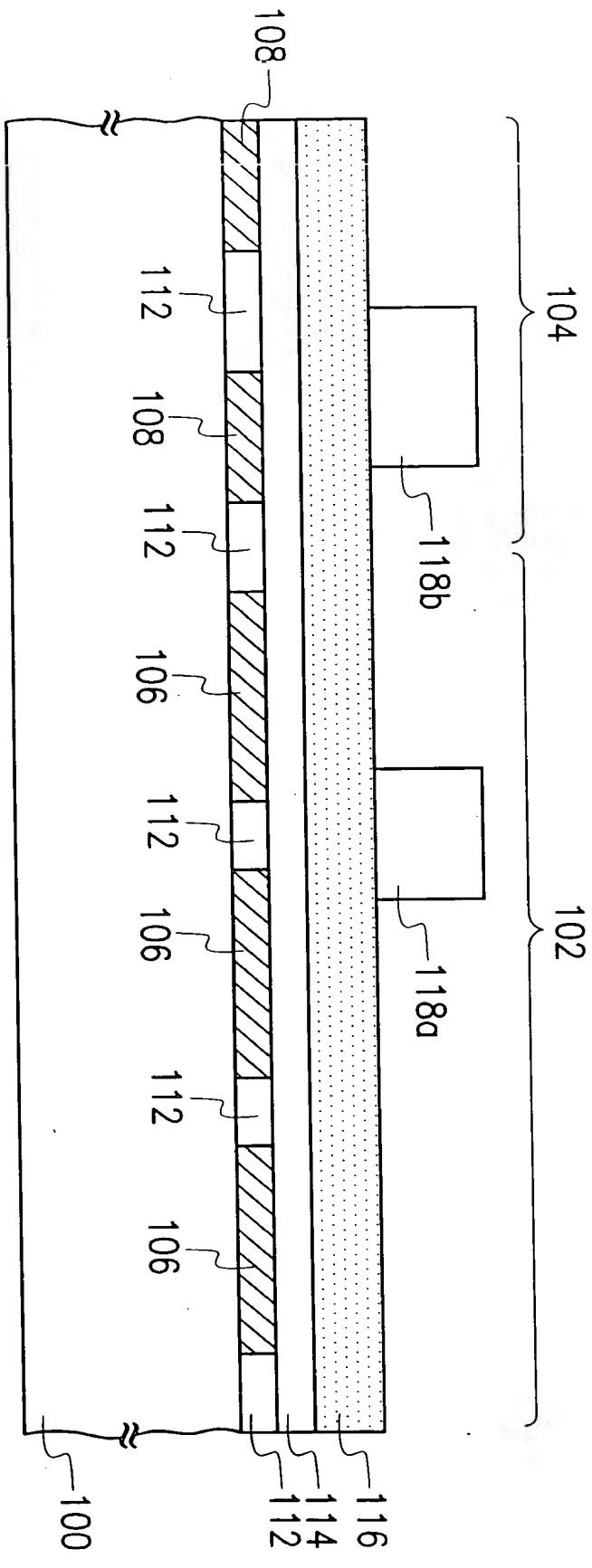
第1A圖



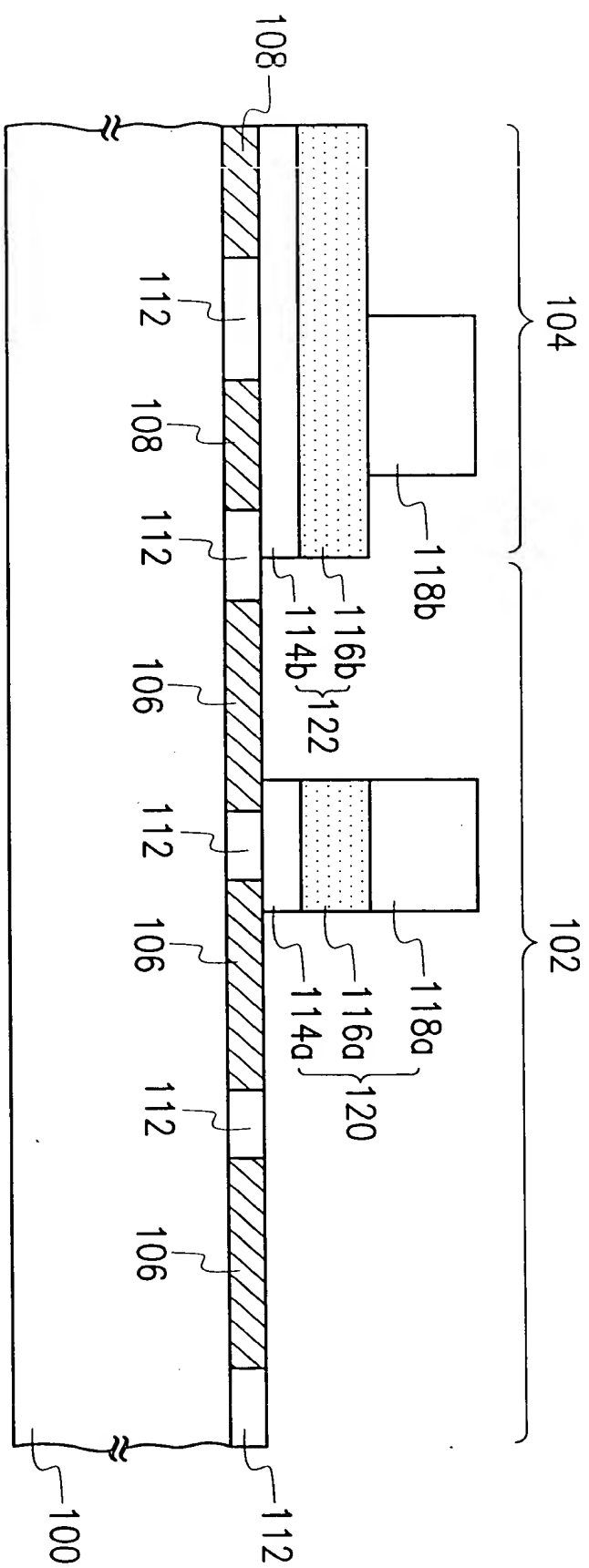
第1B圖



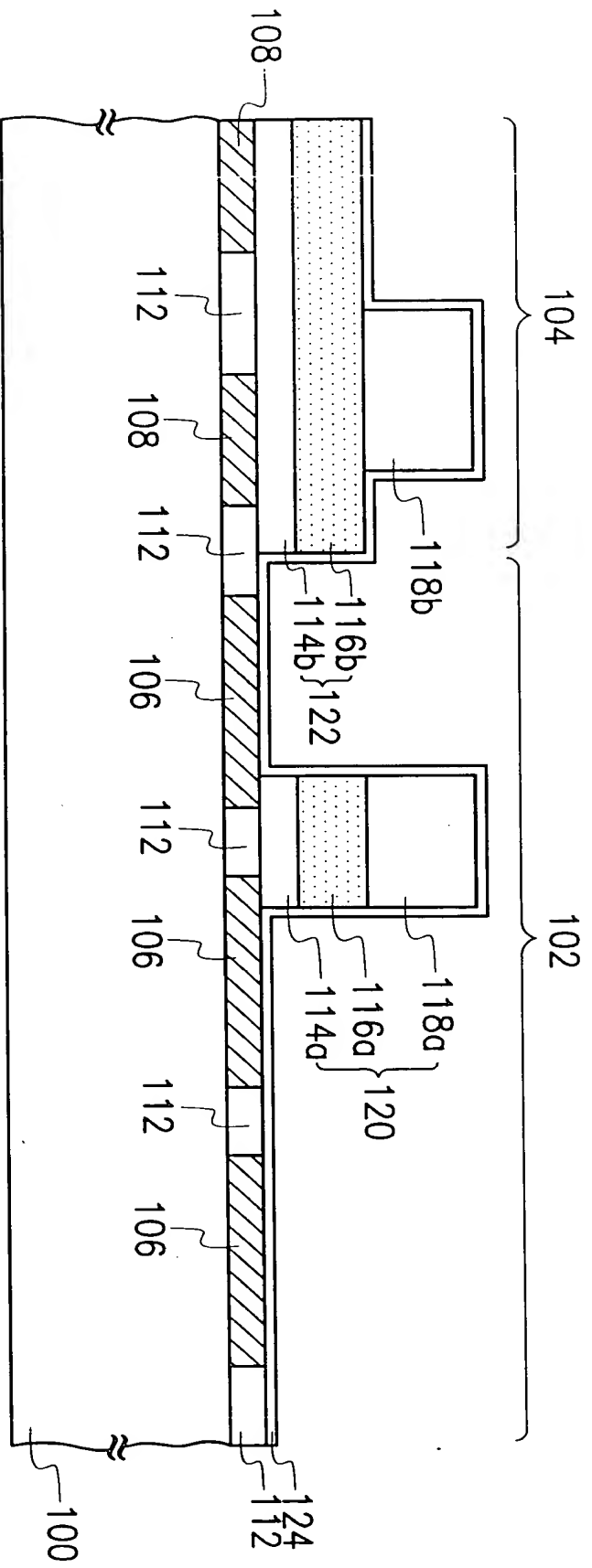
第1C圖



第1D圖



第1E圖



第1圖